

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199719

(43)Date of publication of application : 31.07.1997

(51)Int.CI.

H01L 29/78

H01L 21/336

H01L 21/265

(21)Application number : 08-007835

(22)Date of filing : 19.01.1996

(71)Applicant : TOSHIBA CORP

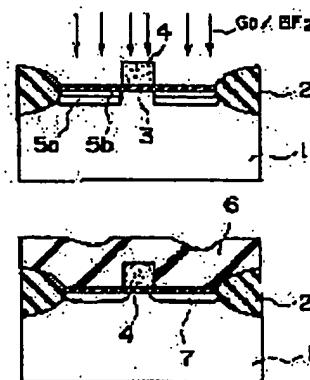
(72)Inventor : MURAKOSHI ATSUSHI
IWASE MASAO
INABA SATOSHI
SUGURO KYOICHI
KITAURA YOSHIAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to form a high-quality diffusion layer of a shallow junction easily by activating first and second second-conductivity type impurities by heat treatment, and forming a second conductivity type diffusion layer on the surface of a first-conductivity type semiconductor region.

SOLUTION: With a gate electrode 4 as a mask, Ga is ion-implanted into the surface of an n-type silicon substrate 1, and a first impurity region 5a in an amorphous state is formed. Following this, BF₂ is ion-implanted into the surface of the n-type silicon substrate 1 with the gate electrode 4 used as a mask, a second impurity region 5b is formed on the surface of the first impurity region 5a. Next a silicon oxide film 6 as a layer insulating film is formed on the whole surface by atmospheric CVD, and the n-type silicon substrate 1 is heat-treated after that, and impurities are activated and crystal recovery of the first and second region 5a, 5b is performed and p-type source/drain diffusion layers 7 are formed. Consequently, it becomes possible to form heavily doped, shallow p-type source/drain diffusion layer 7.



LEGAL STATUS

[Date of request for examination] 17.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199719

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.
H01L 29/78
21/336
21/265

識別記号 疾内整理番号

P I
H01L 29/78
21/265

技術表示箇所
S01P
Z
Q

審査請求 未請求 請求項の数? O L (全 10 頁)

(21)出願番号

特願平8-7835

(22)出願日

平成8年(1996)1月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 村越 篤

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 岩瀬 政雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 稲葉 聰

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

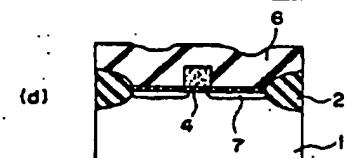
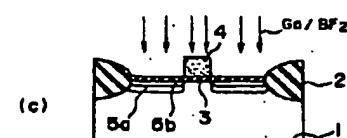
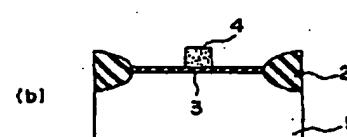
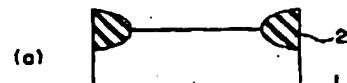
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】接合の浅いp型ソース・ドレイン拡散層を有するp型MOSトランジスタを提供すること。

【解決手段】p型シリコン基板1の表面にGaをイオン注入してアモルファス状態の第1の不純物領域5aを形成し、次に第1の不純物領域5aの表面にBF₂をイオン注入して第2の不純物領域5bを形成し、次に熱処理によりGa、Bを活性化してp型シリコン基板1の表面に浅いp型ソース・ドレイン拡散層7を形成する。



【特許請求の範囲】

【請求項1】第1導電型半導体領域の表面に第1の第2導電型不純物を導入して、前記第1導電型半導体領域の表面にアモルファス状態の第1の不純物領域を形成する工程と、この第1の不純物領域の表面に前記第1の第2導電型不純物よりも低質量の第2の第2導電型不純物を導入して、前記第1の不純物領域の表面に第2の不純物領域を形成する工程と、熱処理により前記第1および第2の第2導電型不純物を活性化して、前記第1導電型半導体領域の表面に第2導電型拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】第1導電型半導体領域の表面に、最大不純物濃度の深さが前記表面から50nm以下になるように、第2導電型不純物を導入して、不純物領域を形成する工程と、

この不純物領域から前記第1導電型半導体領域への前記第2導電型不純物の拡散が抑制される条件でもって、前記不純物領域上にキャップ絶縁膜を形成する工程と、前記キャップ絶縁膜を形成した後の熱処理または前記キャップ絶縁膜の形成工程に伴う加熱により、前記第2導電型不純物の活性化を行なうことにより、前記第1導電型半導体領域の表面に第2導電型拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】700°C以下の成膜温度で前記キャップ絶縁膜を形成した後の熱処理、またはこの形成に伴う加熱により、前記第2導電型拡散層を形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】50°C/分以上の昇温速度でもって所定の成膜温度に設定して前記キャップ絶縁膜を形成した後の、またはこれに伴う熱処理により、前記第2導電型拡散層を形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】所定の成膜温度でもって前記キャップ絶縁膜を形成した後、前記成膜温度よりも高い温度の熱処理により、前記第2導電型拡散層を形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項6】第1導電型半導体領域の表面に、最大不純物濃度の深さが前記表面から50nm以下になるように、第2導電型不純物を導入する工程と、

前記第1導電型半導体領域の表面に圧縮応力を加えるとともに、前記第1導電型半導体領域を加熱することにより、前記第2導電型不純物の活性化を行なうことにより、前記第1導電型半導体領域の表面に第2導電型拡散層を形成することを特徴とする半導体装置の製造方法。

【請求項7】前記第1導電型半導体領域の帶電を防止するとともに、イオン注入により前記第2導電型不純物を前記第1導電型半導体領域の表面に導入することを特徴とする請求項1～請求項6のいずれかに記載の半導体装

置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に浅い接合の拡散層の形成方法に特徴がある半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路（LSI）が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上は、集積度を高めること、つまり、素子の微細化により実現できる。しかし、微細化に伴って種々の問題も発生し、さらなる高集積化が困難になってきている。

【0004】例えば、MOSトランジスタの場合であれば、微細化に伴ってソース・ドレイン拡散層の接合深さが浅くなるため、不純物の濃度・深さ方向の制御が大きな問題となってくる。

【0005】具体的には、p型ソース・ドレイン拡散層を形成する場合、通常、BまたはBF₃のイオン注入が用いられるが、より浅い接合の形成に対しては、上記原子の質量が小さいことから、イオン注入時にチャネリングが顕在化し、接合深さが深くなるため、深さ方向の制御が困難になるという問題が生じる。

【0006】このような問題を解決する方法として、あらかじめSi、Ge、C、F等の中性粒子を単結晶のn型シリコン基板にイオン注入し、その表面部分をアモルファス化した後に、BまたはBF₃のイオン注入を行なうことが提案されている（ブリアモルファス法）。

【0007】しかしながら、ブリアモルファス法による浅い接合の形成方法には以下のようないわゆる問題がある。すなわち、イオン注入後の熱処理により、アモルファスシリコン/単結晶シリコンの界面付近に高密度の欠陥層が形成され、pn接合特性が大幅に劣化するという問題があった。

【0008】一方、浅い接合のソース・ドレイン拡散層を形成するには、不純物イオンの加速エネルギーを低くする必要があり、これにより、イオン注入時の反射・スパッタリング効果が顕著により、不純物濃度の制御が困難になる。したがって、従来のイオン注入法では、浅い接合のソース・ドレイン拡散層を形成することは困難であった。

【0009】また、イオン注入後の熱処理においては、内方拡散よりも外方拡散のほうが起こり易くなる可能性があるので、内方拡散および外方拡散の両拡散が起こるという異常拡散が発生したり、寄生抵抗が増大するという問題も生じる。

【0010】

【発明が解決しようとする課題】上述の如く、従来のイオン注入法（ブリアモルファス法）により、接合の浅い拡散層を形成すると、アモルファシリコン／単結晶シリコンの界面近傍に高密度の欠陥層が形成され、pn接合特性が大幅に劣化するという問題があった。

【0011】また、浅い接合の拡散層を形成するには、不純物イオンの加速エネルギーを低くする必要があり、これにより、イオン注入時の反射・スペッタリング効果が顕著になり、不純物濃度の制御が困難になるという問題があった。さらに、イオン注入後の熱処理においては、異常拡散が発生したり、寄生抵抗が増大するという問題があった。

【0012】本発明（請求項1～請求項7）は、上記事情を考慮してなされたもので、良質な浅い接合の拡散層を容易に形成できる半導体装置の製造方法を提供することを目的としている。

【0013】特に、本発明（請求項1）は、ブリアモルファス法におけるpn接合特性の劣化を防止でき、浅い接合の拡散層を容易に形成できる半導体装置の製造方法を提供することを目的としている。

【0014】特に、本発明（請求項2～請求項6）は、イオン注入後の熱処理における異常拡散を防止でき、浅い接合の拡散層を容易に形成できる半導体装置の製造方法を提供することを目的としている。

【0015】特に、本発明（請求項7）は、不純物の加速エネルギーを低くしても、所望の不純物濃度分布を有する浅い接合の拡散層を容易に形成できる半導体装置の製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】

【概要】上記目的を達成するために、本発明に係る半導体装置の製造方法（請求項1）は、第1導電型半導体領域の表面に第1の第2導電型不純物を導入して、前記第1導電型半導体領域の表面にアモルファス状態の第1の不純物領域を形成する工程と、この第1の不純物領域の表面に前記第1の第2導電型不純物よりも低質量の第2の第2導電型不純物を導入して、前記第1の不純物領域の表面に第2の不純物領域を形成する工程と、熱処理により前記第1および第2の第2導電型不純物を活性化して、前記第1導電型半導体領域の表面に第2導電型拡散層を形成する工程とを有することを特徴とする。

【0017】ここで、第1導電型半導体領域とは、第1導電型半導体基板や、第1導電型半導体膜（層）である。

【0018】本発明の望ましい実施形態は以下の通りである。

【0019】(1) 550°C以上1000°C以下の短時間の熱処理により、第1および第2の第2導電型不純物の活性化を行なう。

【0020】ここで、550°C以上とするのは、第1の第2導電型不純物（例えばGa、In）の再配列が起こるようにするためであり、1000°C以下とするのは、第1の第2導電型不純物の外方拡散を防止するためである。

【0021】(2) 第1、第2の第2導電型不純物領域上にキャップ絶縁膜を形成した後に、熱処理により、第1および第2の第2導電型不純物の活性化を行なう。これは第2導電型不純物の外方拡散を防止するためである。上記キャップ絶縁膜としては例えば窒化膜を用いるといい。

【0022】(3) 上記キャップ絶縁膜の成膜は、該成膜中に、第2導電型不純物領域外に第2導電型不純物が拡散しないようにして行なう。

【0023】(4) 上記キャップ絶縁膜の成膜は、該成膜中に、アモルファス化された領域が結晶化しないようにして行なう。

【0024】また、本発明に係る他の半導体装置の製造方法（請求項2）は、第1導電型半導体領域の表面に、最大不純物濃度の深さが前記表面から50nm以下になるよう、第2導電型不純物を導入して、不純物領域を形成する工程と、この不純物領域から前記第1導電型半導体領域への前記第2導電型不純物の拡散が抑制される条件もって、前記不純物領域上にキャップ絶縁膜を形成する工程と、前記キャップ絶縁膜を形成した後の熱処理または前記キャップ絶縁膜の形成工程に伴う加熱により、前記第2導電型不純物の活性化を行なうことにより、前記第1導電型半導体領域の表面に第2導電型拡散層を形成する工程とを有することを特徴とする。

【0025】また、本発明に係る他の半導体装置の製造方法（請求項3）は、上記半導体装置の製造方法（請求項2）において、700°C以下の成膜温度で前記キャップ絶縁膜を形成した後の熱処理、またはこの形成に伴う前記第2導電型不純物の活性化を行なうことを特徴とする。

【0026】ここで、前記絶縁膜としては例えば窒化膜を用いると良い。

【0027】また、本発明に係る他の半導体装置の製造方法（請求項4）は、上記半導体装置の製造方法（請求項3）において、50°C/分以上の昇温速度もって所定の成膜温度に設定して前記絶縁膜を形成した後の、またはこれに伴う熱処理により、前記第2導電型拡散層を形成することを特徴とする。

【0028】また、本発明に係る他の半導体装置の製造方法（請求項5）は、上記半導体装置の製造方法（請求項4）において、所定の成膜温度もって前記キャップ絶縁膜を形成した後、前記成膜温度よりも高い温度の熱処理により、前記第2導電型拡散層を形成することを特徴とする。

【0029】ここで、前記キャップ絶縁膜を形成する前

に、600°C以下の熱処理により、不純物領域を結晶化しても良い。

【0030】また、本発明に係る他の半導体装置の製造方法（請求項6）は、第1導電型半導体領域の表面に、最大不純物濃度の深さが前記表面から50nm以下になるように、第2導電型不純物を導入する工程と、前記第1導電型半導体領域の表面に圧縮応力を加えるとともに、前記第1導電型半導体領域を加熱することにより、前記第2導電型不純物の活性化を行なうことにより、前記第1導電型半導体領域の表面に第2導電型拡散層を形成することを特徴とする。

【0031】また、本発明に係る他の半導体装置の製造方法（請求項7）は、上記半導体装置の製造方法（請求項1～請求項6）において、前記第1導電型半導体領域の帯電を防止するとともに、イオン注入により前記第2導電型不純物を前記第1導電型半導体領域の表面に導入することを特徴とする。

【0032】【作用】本発明（請求項1）によれば、中性粒子ではなく第1の第2導電型不純物の導入によりアモルファス化を行なっているので、アモルファス化の際に形成される欠陥は第1の第2導電型不純物により修復される。

【0033】また、第1の第2導電型不純物だけでは不純物濃度が不足し、所望の不純物濃度分布が得られなくなる可能性があるが、本発明では第2の第2導電型不純物の導入によりそれを補っているので、確実に所望の不純物濃度分布が得られるようになる。

【0034】さらに、第1の第2導電型不純物の質量は第2の第2導電型不純物のそれよりも大きいので、第1の不純物領域が熱処理されることにより形成される第2導電型拡散層の接合深さは浅いものとなる。

【0035】したがって、本発明によれば、ブリアモルファス法を用いても、p-n接合特性の劣化を招かず、第1導電型半導体領域の表面に接合の浅い第2導電型拡散層を容易に形成できるようになる。

【0036】また、本発明者等の研究によれば、最大不純物濃度の深さが50nm以下の浅い接合の拡散層を形成した場合には、図1(a)に示すように、外方拡散による不純物の減少が顕著により、所望の不純物濃度分布を有する拡散層の形成が困難になることが明らかになった。

【0037】そこで、本発明（請求項2～請求項5）では、第2導電型不純物領域上にキャップ絶縁膜を形成して外方拡散による第2導電型不純物の減少を防止している。また、絶縁膜の成膜の際に、第2導電型不純物が拡散すると、外方拡散を防止する意味が無くなるので、本発明では、第2導電型不純物の拡散（内方拡散）が抑制される条件でもって、キャップ絶縁膜の成膜を行なうようにしている。

【0038】したがって、本発明によれば、異常拡散の発生を防止でき、所望の不純物濃度分布を有する浅い拡

散層を容易に形成できるようになる。

【0039】また、本発明（請求項3）によれば、700°C以下の成膜温度で絶縁膜を形成しているので、第1導電型半導体領域への第2導電型不純物の拡散を効果的に抑制できるようになる。

【0040】また、成膜温度が700°C以下の低温であっても加熱状態が長くなると、第2導電型不純物の拡散量が多くなり、所望の不純物濃度分布を有する浅い拡散層を形成できなく恐れがある。したがって、本発明（請求項4）では、50°C/分以上の昇温速度でもって素早く所定の成膜温度（700°C以下が好ましい）に設定するようしている。

【0041】なお、本発明（請求項2）の一実施形態としては、本発明（請求項5）のように、所定の成膜温度（700°C以下が好ましい）でキャップ絶縁膜を形成した後、上記成膜温度よりも高い温度の熱処理により、第2導電型不純物の活性化を行なって拡散層を形成することがあげられるが、上記キャップ絶縁膜の形成に伴う加熱により第2導電型不純物の活性化を行なっても良い。

【0042】また、本発明（請求項6）によれば、第1導電型半導体領域の表面に圧縮応力が加わっているので、格子間隔が小さくなり、第2導電型不純物の外方拡散が抑制される。したがって、本発明によれば、所望の不純物濃度分布を有する浅い拡散層を形成できるようになる。

【0043】また、本発明（請求項7）では、第2導電型不純物の導入をイオン注入により行なう際に、第1導電型半導体領域が帯電しないようにしている。これはイオン注入により浅い接合の拡散層を形成するためには、不純物の加速エネルギーを低くする必要があり、このような場合には、第1導電型半導体領域に帯電した電荷により、不純物イオンの運動が影響を受け、所定領域に注入されなくなり、注入量が減少するからである。

【0044】したがって、本発明によれば、第1導電型半導体領域の帯電の影響を受けずに済むので、不純物イオンの加速エネルギーを低くしても、所望の不純物濃度分布を有する浅い拡散層を容易に形成できるようになる。

【0045】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（実施形態）を説明する。

【0046】(第1の実施形態) 図1は、本発明の第1の実施形態に係るp型MOSトランジスタの製造方法を示す工程断面図である。

【0047】まず、図1(a)に示すように、単結晶のn型シリコン基板1の表面に熱酸化によりフィールド酸化膜2を形成する。

【0048】次に図1(b)に示すように、n型シリコン基板1の表面にゲート酸化膜3を形成した後、このゲート酸化膜3上にゲート電極4となる多結晶シリコン膜

を形成し、この多結晶シリコン膜をバターニングして、ゲート電極4を形成する。

【0049】次に図1(c)に示すように、ゲート電極4をマスクとして、加速エネルギー15keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件で、Gaをn型シリコン基板1の表面にイオン注入して、アモルファス状態の第1の不純物領域5aを形成する。次に同図(c)に示すように、引き続き、ゲート電極4をマスクとして、加速エネルギー5keV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ の条件で、BF₂をn型シリコン基板1の表面にイオン注入して、第1の不純物領域5aの表面に、第2の不純物領域5bを形成する。

【0050】次に図1(d)に示すように、例えば、常圧CVD法により成膜温度400°Cでもって、全面に層間絶縁膜としてのシリコン酸化膜6を形成した後、900°C、30秒のRTAにより、n型シリコン基板1を熱処理して、不純物の活性化および第1、第2の不純物領域5a、5bの結晶回復(結晶化)を行なって、p型ソース・ドレイン拡散層7を形成する。

【0051】この後は、図示しないが、周知の方法により、層間絶縁膜であるシリコン酸化膜6にコンタクトホールを開口し、ソース・ドレイン電極、ゲート配線などの各電極・配線を形成する。

【0052】図2は、図1(c)の工程段階の不純物領域5a、5bの不純物元素(Ga, B)の濃度分布を示す図である。横軸は基板表面からの深さを示している。

【0053】図2によれば、不純物濃度が 10^{17} cm^{-3} となる深さは、Gaで約45nm、Bで約30nmであり、Bの方が浅いことが分かる。これは、質量が重いGaのイオン注入を行なって基板表面をアモルファス化した後、Gaよりも質量が軽いBのイオン注入を行なつたので、Bのチャネリングが抑制されたからである。

【0054】図3は、図1(d)の工程で形成したp型ソース・ドレイン拡散層7の正孔の濃度分布を示す図である。

【0055】図3によれば、正孔濃度のピーク値が約 10^{20} cm^{-3} 、深さが約50nmの正孔の濃度分布が形成され、高濃度の浅い接合のp型ソース・ドレイン拡散層7が形成されていることが分かる。

【0056】また、本実施形態のp型MOSトランジスタを調べた結果、接合リード電流もGaのイオン注入に伴うリード電流の増加も見られなかった。すなわち、pn接合特性の劣化は起らなかった。

【0057】以上述べたように、本実施形態によれば、アモルファス化法を用いても、pn接合特性の劣化を招かずに、高濃度で浅いp型ソース・ドレイン拡散層7を形成でき、もって次世代LSIの性能を大幅に引き出せる微細なMOSトランジスタを製造できるようになる。

【0058】なお、本実施形態は以下の通り種々変形可

能である。

【0059】(1) 本実施形態では、900°C、30秒のRTAにより不純物の活性化を行なったが、熱処理温度は550°C以上1000°C以下の範囲で変更可能である。

【0060】ここで、550°C以上とするのは、Gaの再配列が起こるようにするためであり、1000°C以下とするのは、Gaの外方拡散を防止するためである。

【0061】(2) 第1、第2の不純物領域5a、5b上にキャップ絶縁膜を形成した後に、熱処理により、Ga、Bの活性化を行なう。これはGa、Bの方拡散を防止するためである。上記キャップ絶縁膜としては例えば塗化膜を用いると良い。

【0062】(3) 上記キャップ絶縁膜の成膜は、該成膜中に、第1、第2の不純物領域5a、5b外にGa、Bが拡散しないようにして行なう。

【0063】(4) 上記キャップ絶縁膜の成膜は、この成膜中に、アモルファス状態である第1、第2の不純物領域が結晶化しないようにして行なう。

【0064】(第2の実施形態) 図4は、本発明の第2の実施形態に係るp型MOSトランジスタの製造方法を示す工程断面図である。

【0065】まず、図4(a)に示すように、単結晶のn型シリコン基板11の表面に熱酸化によりフィールド酸化膜12を形成する。

【0066】次に図4(b)に示すように、n型シリコン基板11の表面にゲート酸化膜13を形成した後、このゲート酸化膜13上にゲート電極14となる多結晶シリコン膜を形成し、この多結晶シリコン膜をバターニングして、ゲート電極14を形成する。

【0067】次に図4(c)に示すように、ゲート電極14をマスクとして、加速エネルギー1keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件で、Bをn型シリコン基板11の表面にイオン注入して、低濃度の不純物領域15aを形成する。

【0068】このとき、基板電位が600eV以下となるように、エレクトロンシャワーを使用して基板表面の帯電を防止しながら、Bのイオン注入を行なう。

【0069】なお、エレクトロンシャワーは、本来は、ゲート破壊を防止するために使用するものであって、本実施形態のように帯電防止のために使用することは今まで行なわれていない。

【0070】次に図4(d)に示すように、例えば、常圧CVD法により成膜温度380°Cでもって、全面にシリコン酸化膜16を形成した後、RIE等の異方性エッチングによるエッチバックにより、ゲート部の側部および上部にシリコン酸化膜16を選択的に残置させる。

【0071】このシリコン酸化膜16は、LDD構造を形成するための側壁ゲート絶縁膜およびBの外方拡散を防止するためのキャップ絶縁膜を果たす。

【0072】次に同図(d)に示すように、シリコン酸化膜16で覆われたゲート部をマスクとして、Bを加速電圧1keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件で、n型シリコン基板1の表面にイオン注入して、不純物領域15aよりも高温度で深い不純物領域15bを形成する。

【0073】次に図4(e)に示すように、900°C、30秒のRTAにより、n型シリコン基板1を熱処理して、不純物の活性化および不純物領域15a、15bの結晶回復(結晶化)を行なって、LDD構造のp型ソース・ドレイン拡散層17を形成する。なお、シリコン酸化膜16を形成する前に600°C以下の温度で結晶化を行なっても良い。

【0074】この後は、図示しないが、周知の方法により、全面に例えれば塗化シリコンからなる層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを開口し、各電極配線を形成する。

【0075】図5は、図4(d)の工程段階の不純物領域15a、15bの不純物元素(B)の濃度分布を示す図である。横軸は基板表面からの深さを示している。また、図6は、従来方法によりp型MOSトランジスタを形成した場合の不純物領域の不純物元素(B)の濃度分布を示す図である。従来方法が本実施形態の方法のそれと異なる点は、シリコン酸化膜16をLPCVD法により成膜温度780°Cでもって形成したことにある。

【0076】図5によれば、本実施形態の場合、不純物濃度が $4.6 \times 10^{14} \text{ cm}^{-3}$ と、設定注入量に対して10%不足していることが分かる。これはイオン注入時の反射の影響であり、従来方法で見られるような大幅な注入量の低下は見られない。すなわち、従来方法の場合、図6によれば、不純物濃度が $3.2 \times 10^{14} \text{ cm}^{-3}$ と、設定注入量に対して60%程度しか注入されていない。これは、計算上イオン注入時の反射は10%以下であり、スペッタリングイールドは0.01nmであることから、その他の要因が支配的である。

【0077】従来方法における注入量の低下の原因としては、イオンビーム自体が持つ電荷が300eV相当であることから、基板表面にこの電荷量の帶電が起き、これにより、1keVと低エネルギーのBイオンが基板表面に飛んできた場合、基板表面に帶電した電荷により、イオン散乱角が変化したことが推測される。

【0078】しかし、本実施形態では、エレクトロニシヤーを用いているので、基板表面の帶電が抑制され、これにより、基板電位によるエネルギーロスや、イオンビームが曲げられるなどの影響による注入量の低下は抑制される。したがって、本実施形態の場合、注入量の低下の原因としては、イオン注入時の反射の影響のみとなり、計算上通りに設定注入量に対して10%不足する程度となる。

【0079】図7は、図4(e)の工程で形成したp型

ソース・ドレイン拡散層17の不純物の濃度分布を示す図である。また、図8は従来方法により形成したp型ソース・ドレイン拡散層の不純物の濃度分布を示す図である。

【0080】図7によれば、本実施例による熱処理後においては、不純物濃度は $4.3 \times 10^{14} \text{ cm}^{-3}$ となり若干ながら低下しているが、従来方法で見られるような大幅な低下は起ららない。すなわち、従来方法の場合、図8によれば、不純物濃度は $5.5 \times 10^{13} \text{ cm}^{-3}$ と90%は外方への拡散が起きていることが分かる。

【0081】従来方法における不純物濃度の低下の原因としては、p型ソース・ドレイン拡散層を形成する際の熱処理の前の側壁ゲート絶縁膜(シリコン酸化膜16)の成膜温度が高温ために、不純物領域の不純物が外方拡散することが考えられる。特に、最大不純物濃度の深さ50nm以下の浅い拡散層を形成する場合には、作用で説明したように外方拡散が顕著になり大きな問題となる。

【0082】また、成膜温度が高温であることから、イオン注入により形成した1次欠陥損傷領域である不純物領域の欠陥が容易に2次欠陥へと成長し、これにより、絶縁膜の成膜後において2次欠陥を介した拡散が起こり、不純物の拡散が顕著になることも考えられる。

【0083】さらに、不純物領域の欠陥が2次欠陥へと成長することにより、p型ソース・ドレイン拡散層を形成する際の熱処理により、欠陥を十分にアニールアウトできないことが考えられる。

【0084】一方、本実施形態の場合は、p型ソース・ドレイン拡散層17を形成する際の熱処理の前のシリコン酸化膜16の成膜工程が低温のために、従来方法の場合のような原因による不純物の拡散による不純物濃度の低下は起こらず、不純物濃度の低下を効果的に抑制できる。

【0085】イオン注入に伴う欠陥(損傷)密度は、最大濃度領域付近に格子間型の欠陥を高密度に有する。イオン注入の加速エネルギーの低電圧化に伴い、最大不純物濃度領域の格子間型欠陥領域も基板表面に位置するようになる。

【0086】図9は、700°Cでもって拡散層を形成した場合の拡散層のシート抵抗と熱処理時間との関係を示す特性図である。図9から熱処理時間の長時間化に伴い、シート層抵抗は大幅に増大していることが分かる。

【0087】これは、拡散層を形成するための熱処理を行なう前に、不純物領域の不純物の最配列・拡散が既に行なわれていることを示している。したがって、浅い接合の拡散層を形成するために、不純物の活性化を伴う熱処理前の工程を考慮する必要性がある。

【0088】具体的には、本発明者等の研究によれば、50°C/分以上の昇温速度でもって短時間で所定の成膜温度に設定してシリコン酸化膜16を形成することによ

り、熱処理を行なう前に、不純物領域の不純物の最配列・拡散を効果的に防止できることが分かった。

【0089】(第3の実施形態)本実施形態のp型MOSトランジスタの製造方法が第2の実施形態のそれと異なる点は、図4(e)の工程で、900°C、30秒のRTAにより、不純物の活性化および不純物領域15a、15bの結晶回復を行なう代わりに、層間絶縁膜の形成時に伴う加熱により上記不純物の活性化、結晶回復を行なって、p型ソース・ドレイン拡散層を形成することにある。この場合、層間絶縁膜の成膜温度は550°C程度とすることが好ましい。本実施形態によれば、RTAが不要になるので、プロセスの簡略化を図れるようになる。

【0090】(第4の実施形態)まず、周知の方法により、シリコン基板の表面上にゲート酸化膜、ゲート電極を形成し、さらにゲート電極をマスクとして、加速電圧1keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でBのイオン注入を行なって、深さ50nm以下の浅いp型ソース・ドレイン拡散層となる不純物領域を形成する。

【0091】次にシリコン基板の裏面にシリコン塗化膜を形成し、シリコン基板を反らすことにより、p型シリコン基板の表面に圧縮応力を加え、この状態で700°C、10分の熱処理により、不純物領域のBの活性化、不純物領域の結晶回復を行なって、p型ソース・ドレイン拡散層を形成する。

【0092】図10は、本実施形態のように加速電圧1keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でBのイオン注入を行なった後に、700°C、10分の熱処理を行なう際に、シリコン基板の表面に加わる応力の影響を述べた結果である。

【0093】図10に示すように、シリコン基板の表面に引張応力が加わると、シリコンの結晶格子が広げられるため、格子間の隙間が大きくなり、Bの外方拡散がより起こり易くなり、図10に示すように、シート抵抗は500Ω/□以上の高い値となる。

【0094】これに対して、シリコン基板の表面に圧縮応力を加えた場合には、シリコンの結晶格子が狭められ、格子間隔が小さくなるためBの外方拡散が抑制され、図10に示すように、0.1~0.5GPaの範囲で300Ω/□以下のシート抵抗が得られる。

【0095】これ以上の圧縮応力が加わると、今度はBがシリコン中に分散した状態で存在するよりもクラスターもしくは析出物とした方がより安定となるため、再びシート抵抗の上昇が起こる。しかし、引張応力が加わった状態と比較すると、シリコン基板の表面に電気的に活性化したBの濃度が高いために、シート抵抗は低い値となる。

【0096】この現象は程度の差こそあれ、Ga、In、P、As、Sbなどの不純物全てについて観察され、いずれも表面に圧縮応力を加えたほうがより望まし

い特性が得られることが見出された。

【0097】したがって、本実施形態のように、シリコン基板の表面に圧縮応力を加えながら熱処理を行なえば、不純物の外方拡散を効果的に抑制できるので、所望の不純物濃度分布を有する深さ50nm以下の浅いp型ソース・ドレイン拡散層を容易に形成できるようになる。

【0098】なお、本発明は、上記実施形態に限定されるものではない。

【0099】例えば、同じ導電型および導電率となるイオン種としては、In等のIII族元素を用いることもできる。

【0100】また、シリコン基板は単結晶でなく多結晶であっても良く、さらに、単結晶シリコン基板上にCVD法等によって単結晶シリコン層を形成し、これを新たな基板として使用しても良い。

【0101】また、上記実施形態では、所望の不純物濃度を得るために、BF₃やBのイオン注入を行なったが、他の不純物のイオン注入を行なっても良い。特に、BやBF₃のようにイオン半径の小さい不純物を用いた場合に、本発明の効果は顕著となる。

【0102】また、上記実施形態では、p型MOSトランジスタの場合について説明したが、本発明はn型MOSトランジスタにも適用できる。例えば、第1の実施形態の場合であれば、Sb等のV族元素をイオン注入した後、それより質量が軽いP、As等のV元素をイオン注入すれば良い。

【0103】また、本発明は、MOSトランジスタ以外の素子の浅い接合の拡散層にも適用できる。

【0104】また、上記実施形態では、熱処理前のキャップ絶縁膜としてシリコン酸化膜を用いたが、不純物領域に結晶変化が起こらない状況下で成膜するのであれば、塗化膜やポリシリコン膜などを用いても良い。

【0105】また、上記実施形態では、イオン注入により不純物の導入を行なったが、気相拡散や気相拡散などにより行なっても良い。さらに、イオンシャワー、プラズマドーピングなどにより行なっても良い。

【0106】また、上記実施形態では、シリコン基板の表面に拡散層を形成する場合について説明したが、本発明は半導体層(膜)の表面に拡散層を形成する場合にも適用できる。

【0107】また、第2、第3の実施形態において、第1の実施形態のアリアモルファス法を適用しても良い。

【0108】また、第2、第3の実施形態において、予め600°C以下の低温熱処理によりイオン注入によって形成される一次欠陥をアニールアウトさせても良い。

【0109】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0110】

【発明の効果】以上詳述したように本発明によれば、良

質な浅い接合の拡散層を容易に形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るp型MOSトランジスタの製造方法を示す工程断面図

【図2】図1(c)の工程段階の不純物領域の不純物濃度分布を示す図

【図3】図1(d)の工程で形成したp型ソース・ドレイン拡散層の正孔濃度分布を示す図

【図4】本発明の第2の実施形態に係るp型MOSトランジスタの製造方法を示す工程断面図

【図5】図4(d)の工程段階の不純物領域の不純物濃度分布を示す図

【図6】従来方法の場合の不純物領域の不純物濃度分布を示す図

【図7】図4(e)の工程で形成したp型ソース・ドレイン拡散層の不純物濃度分布を示す図

【図8】従来方法により形成したp型ソース・ドレイン拡散層の不純物濃度分布を示す図

【図9】拡散層のシート抵抗と熱処理時間との関係を示す特性図

【図10】シリコン基板の表面に加わる応力(圧縮応

力、引張り応力)と拡散層のシート抵抗との関係を示す特性図

【図11】最大不純物濃度の深さと外方拡散量との関係を示す特性図

【符号の説明】

1…n型シリコン基板(第1導電型半導体領域)

2…フィールド酸化膜

3…ゲート酸化膜

4…ゲート電極

5a…第1の不純物領域

5b…第2の不純物領域

6…シリコン酸化膜

7…p型ソース・ドレイン拡散層

11…n型シリコン基板(第1導電型半導体領域)

12…フィールド酸化膜

13…ゲート酸化膜

14…ゲート電極

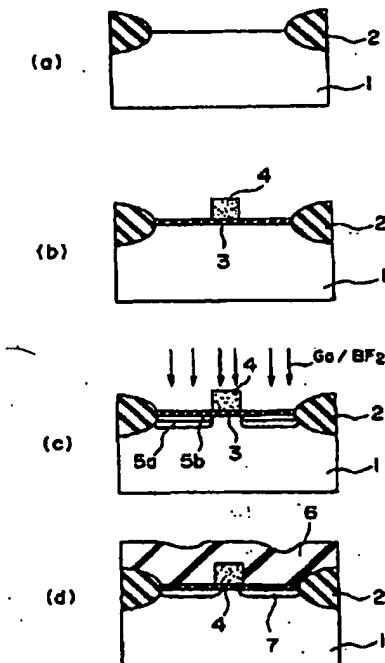
15a…低濃度の不純物領域

15b…高濃度の不純物領域

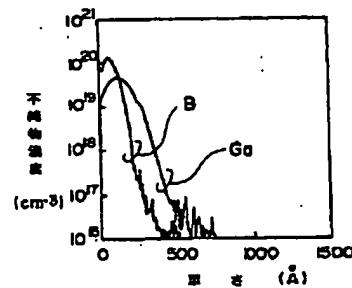
16…シリコン酸化膜(キャップ絶縁膜)

17…p型ソース・ドレイン拡散層

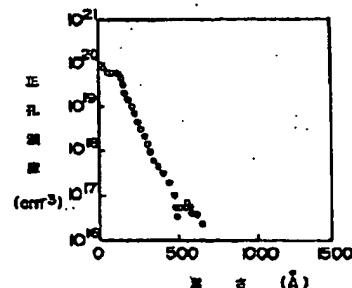
【図1】



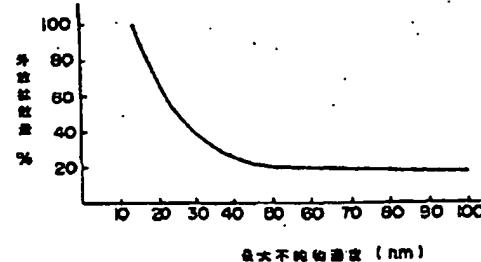
【図2】



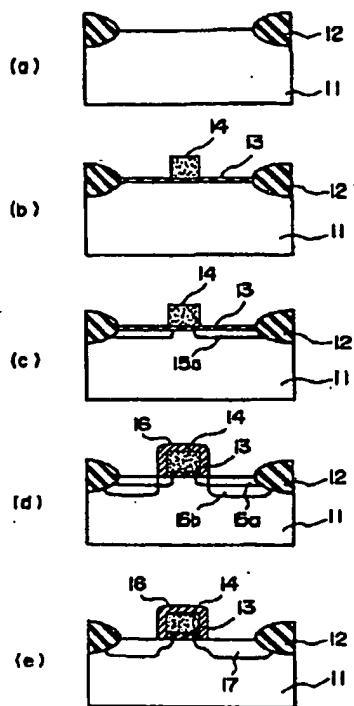
【図3】



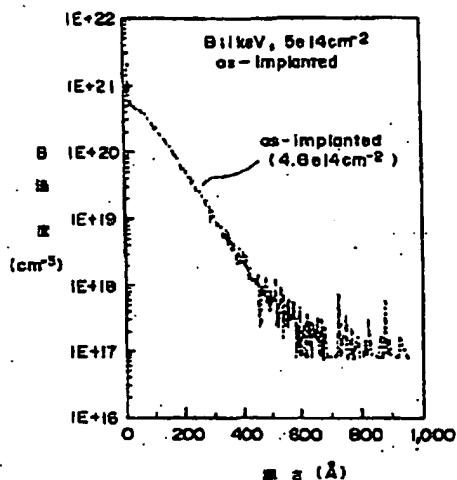
【図11】



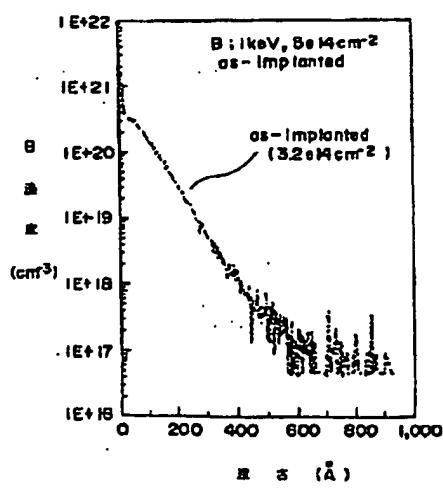
【図4】



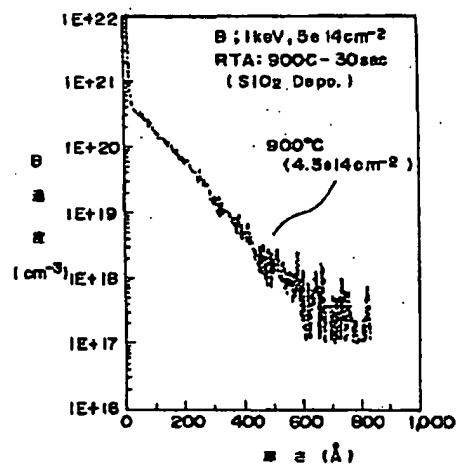
【図5】



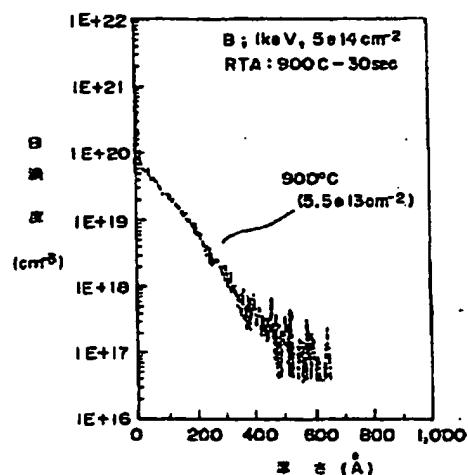
【図6】



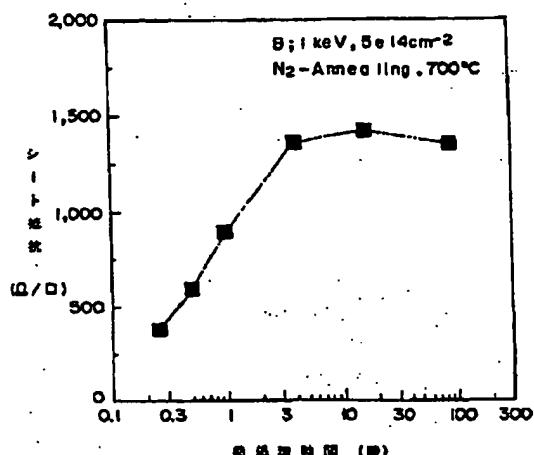
【図7】



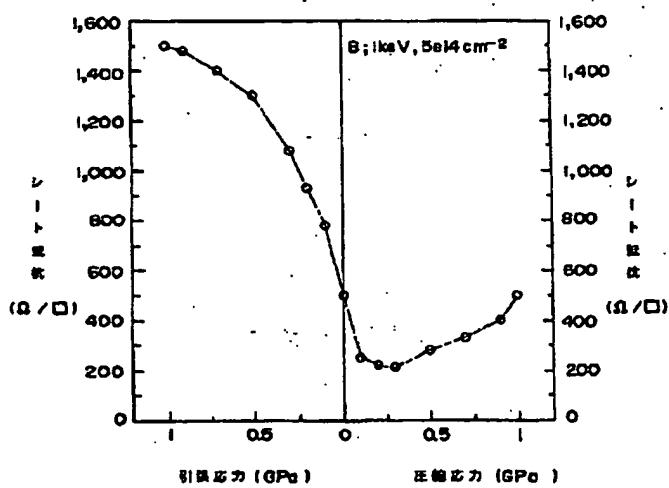
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 須黒 英一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 北浦 義昭
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内